

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

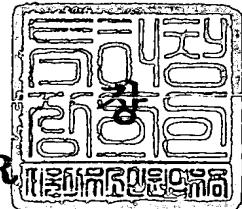
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0025772
Application Number

출원년월일 : 2003년 04월 23일
Date of Application APR 23, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2003년 05월 29일



특허청

COMMISSIONER

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2003.04.23		
【발명의 명칭】	D L L 회로		
【발명의 영문명칭】	DLL circuit		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	1999-024436-4		
【발명자】			
【성명의 국문표기】	이재진		
【성명의 영문표기】	LEE, Jae Jin		
【주민등록번호】	631030-1380715		
【우편번호】	467-850		
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 501동 401호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	8	항	365,000 원
【합계】	407,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 분주 수단을 사용하여 시스템의 외부로부터 인가되는 외부입력클락과 시스템의 내부에서 사용되는 내부입력클락을 동기화시키기는 DLL 회로로서, 상기 외부입력클락의 폴스폭이 기준 설정치보다 좁은지 여부를 검출하는 검출수단을 구비하며, 분주 수단은 외부입력클락의 폴스폭이 기준 설정치보다 넓은 경우 제 1 분주 신호를 출력하고, 외부입력클락의 주파수가 기준 설정치보다 좁은 경우 제 2 분주 신호를 출력한다.

본 발명의 DLL 회로를 사용하는 경우 외부입력클락의 폴스폭이 좁은 경우에도 DLL 회로는 정상적으로 동작할 수 있다.

【대표도】

도 9

【색인어】

DLL, 자연, 분주기, 위상, 검출기

【명세서】**【발명의 명칭】**

D L L 회로{DLL circuit}

【도면의 간단한 설명】

도 1은 일반적인 DLL 회로의 블록도.

도 2는 도 1에 도시된 자연회로의 일예.

도 3은 도 1에 도시된 자연제어회로의 다른 일예.

도 4는 도 1에 도시된 자연제어회로의 일예.

도 5는 도 1에 도시된 클락버퍼 및 클럭분주기의 일예.

도 6은 도 1에 도시된 위상비교기의 일예.

도 7은 도 6의 위상비교기의 타이밍도.

도 8은 도 1에 도시된 자연회로의 타이밍도.

도 9는 본 발명에 따른 DLL 회로의 블록도.

도 10은 본 발명의 DLL 회로에 사용되는 클락 분주기의 일예.

도 11은 본 발명의 DLL 회로에 사용되는 클락펄스폭 검출기의 일예.

도 12는 도 12에 도시된 클락펄스폭 검출기의 타이밍도.

도 13은 입력클락신호의 주기가 큰 경우 본 발명에 따른 DLL 회로의 타이밍도.

도 14는 입력클락신호의 주기가 작은 경우 본 발명에 따른 DLL 회로의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 클락버퍼 20 : 지연회로

30 : 클락신호라인 40 : 출력버퍼

50, 50-1 : 클락 분주기 60 : 더미지연회로

70 : 위상 비교기 80 : 지연 제어기

90 : 레프리카 지연부 100 : 클락 펄스폭 검출기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 DDR SDRAM에 사용되는 DLL 회로(지연 고정 루프 회로)에 관한 것으로, 특히 외부에서 DLL 회로로 입력되는 클락의 주파수가 높은 경우에도 동작가능한 DLL 회로에 관한 것이다.

<22> 일반적으로, DDR SDRAM에서는 데이터의 출력시간을 외부에서 인가되는 클락(외부 클락)에 동기화시키기 위하여 내부 클락 발생회로인 DLL 회로를 사용한다. 즉, 외부로부터 입력되는 클락이 내부 클락으로 사용되는 경우 내부회로에 의한 시간 지연이 발생하기 때문에, 이러한 시간지연을 보상하기 위하여 내부 클락이 외부 클락과 동일한 위상을 갖도록 하기 위해 DLL 회로가 사용된다. 보다 정확히 표현하면, 외부 클락에 동기되어 데이터가 출력되도록 하기 위해 DLL 회로가 사용된다.

<23> 도 1은 일반적인 DLL 회로의 블록도를 도시한다.

<24> 도시된 바와같이, DLL 회로는 외부의 클락신호를 수신하는 클락버퍼(10)와, 클락버퍼(10)의 출력신호를 수신하는 지연회로(20), 클락버퍼(10)의 출력신호를 분주하는 클락

분주기(50)와, 클락 분주기(50)의 출력신호를 소정시간 지연시키는 더미지연회로(60), 더미지연회로(60)의 출력신호를 지연하는 레프리카(replica) 지연부(90), 레프리카 지연부(90)의 출력신호의 위상과 클락 분주기(50)의 출력신호의 위상을 비교하는 위상 비교기(70)와, 위상 비교기(70)의 출력신호를 수신하여 지연회로(20)와 더미 지연회로(60)의 지연을 제어하는 지연 제어기(80)와, 지연회로(20)의 출력신호를 수신하여 출력버퍼(40)의 데이터 출력을 제어하는 클락신호라인(30)을 포함한다.

<25> 클락버퍼(10)는 외부로부터 인가되는 클락 신호의 전위 레벨을 DDR SDRAM에서 사용하는 전위 레벨로 전환시켜 주는 버퍼 회로이다.

<26> 지연회로(20)는 클락버퍼(10)의 출력신호(내부클락으로 사용됨)를 수신하여 수신된 클락신호의 지연시간을 변경하는 지연라인이다. 지연회로(20)의 일예는 도 2에 도시되었으며, 도시된 바와같이 복수개의 단위 지연회로(unit delay circuit)들로 구성된다.

<27> 클락신호라인(30)은 지연회로(20)의 출력신호를 수신하여 데이터 출력버퍼(40)를 구동시키는 구동신호를 발생하는 클락 구동장치이다.

<28> 출력버퍼(40)는 클락신호라인(30)의 구동신호에 응답하여 데이터 버스로부터 전달된 데이터를 외부 출력단자로 출력한다.

<29> 클락분주기(50)는 클락버퍼(10)로부터 출력되는 클락신호의 주파수를 $1/n$ 로 분주하여 소정의 기준클럭을 발생시킨다(일반적으로 n 정수로 4 또는 8 또는 16이 사용된다). 즉, 클락 분주기(50)는 내부클락의 주파수를 $1/2^M$ (M : 클락분주기내에 있는 단위 분주기의 수)로 분주한다.

<30> 더미지연회로(60)는 클락분주기로부터 출력되는 기준클락을 수신하여 기준클락의 지연시간을 변경하는 지연라인이다. 더미지연회로(60)는 지연회로(20)와 동일한 구조를 갖는 것이 일반적이다.

<31> 레프리카 지연부(90)는 DLL 회로로 클락신호가 입력된 후부터 데이터 출력 버퍼를 통하여 데이터가 출력될 때까지의 시간 지연을 갖는 지연부이다.

<32> 위상비교기(70)는 클락분주기(50)의 출력신호의 위상과 레프리카 지연부(90)의 출력신호의 위상을 비교하여 지연 제어기(80)를 제어한다. 즉, 위상비교기(70)는 수신되는 2 개의 신호의 시간 지연차이를 비교하여 레지스터로 이루어진 지연제어기(80)를 제어하기 위한 신호를 발생시킨다. 참고로, 도 4와 도 6에는 각각 지연제어기(80)와 위상비교기(70)가 도시되어 있으며, 도시된 바와같이, 지연제어기(80)는 위상비교기(70)의 출력신호(left1, left2, right1, right2)에 의하여 제어된다.

<33> 도 4에 도시된 지연제어기(80)는 지연회로(20)와 더미지연회로(60)를 구성하는 각 지연라인의 단위 지연(unit delay)을 제어하기 위한 레지스터로 구성된다. 지연제어기(80)는 지연회로(20)와 더미지연회로(60)의 지연시간을 조절하며, 각 레지스터의 값은 위상비교기(70)의 출력신호에 의하여 제어된다.

<34> 이하에서는 종래 DLL 회로의 구성부분에 대하여 보다 상세히 설명하기로 한다.

<35> 도 2 는 도 1 에 블록도로 도시된 일반적인 지연회로(20)의 일례이다. 도시된 바와같이, 지연회로(20)는 지연제어기에 의하여 제어되는 복수개의 단위 지연부로 구성된다. 각 단위 지연부에는 클락버퍼(10)의 출력신호가 인가된다. 구성에 있어서, 각 단위 지연부는 클락버퍼(10)의 출력신호와 지연제어기(80)의 출력신호를 수신하는 제 1

NAND 게이트와, 앞단의 단위 지연부의 출력신호와 제 1 NAND 게이트의 출력신호를 수신하는 제 2 NAND 게이트와, 제 2 NAND 게이트의 출력신호를 반전시키는 인버터를 구비한다. 단, 첫째단의 단위 지연부의 제 2 NAND 게이트의 입력단자는 제 1 NAND 게이트의 출력신호와 전원전압(Vdd)을 수신한다.

<36> 동작에 있어서, 예컨대, 둘째단의 단위 지연부(unit delay)의 제 1 NAND 게이트의 입력단에 클락 버퍼(10)의 출력신호와 지연 제어부의 레지스터 신호가 입력되는 경우를 살펴보자.

<37> 레지스터 신호가 로직 하이인 경우, 단위 지연부는 인에이블되어 클락 버퍼(10)의 출력신호인 클락신호(도 2 의 CLK)를 전달한다.

<38> 레지스터 신호가 로직 로우인 경우, 단위 지연부의 출력 신호는 로직 하이를 출력하여 제 2 NAND 게이트에 인가되며, 따라서 첫단의 단위 지연부의 단위 지연 신호가 제 2 NAND 게이트를 통하여 다음 단으로 전달되도록 한다. 이 경우, 제 2 NAND 게이트에서 소정의 시간 지연 발생한다. 마찬가지로 단위 지연부의 인버터 수단도 제 2 NAND 게이트와 같이 시간 지연을 초래한다. 참고로, 더미지연회로(60)의 구성은 상술한 지연회로(20)의 구성과 동일하게 구성된다.

<39> 도 3은 복수개의 단위 지연부로 구성된 지연회로(20)와 더미지연회로(60)를 간단히 도시한 도면이다. 도면에서, 단위 지연부 블록(UD)은 도 2 의 단위 지연부를 나타낸다. 지연 회로(20)와 더미 지연회로(60)내의 각 단위 지연부는 전술한 바와같이 지연제어기(80)에 의하여 제어된다.

<40> 도 4는 자연제어회로의 일예로서 당업자는 동일한 기능을 갖는 다양한 회로로 변형하여 구현할 수 있다.

<41> 도 5는 클락버퍼(10)와 클락 분주기(50)의 일예를 도시한다. 클락버퍼(10)는 외부에서 인가되는 클락신호(eclk, /eclk)를 수신하여 내부 클락신호를 발생시키는 차동 비교 장치이다. 일반적으로, 클락버퍼(10)는 제 1 클락버퍼와 제 2 클락버퍼로 구성된다. 제 1 클락버퍼는 외부클락을 수신하여 외부클락의 라이징 엣지에 동기되어 발생하는 내부클락을 출력한다. 제 2 클락버퍼는 외부클락을 수신하여 외부클락의 폴링 엣지에 동기되어 발생하는 내부클락을 출력한다. 이러한 클락버퍼(1)의 구성 및 동작은 당업자에게 공지된 기술이므로 더 이상의 설명은 생략한다.

<42> 도 5에 도시된 클락분주기(50)는 제 1 내지 제 3 분주기(51, 52, 53)를 포함하며, 제 1 내지 제 3 분주기는 직렬로 연결되어 있다. 즉, 제 1 분주기(51)의 출력 신호는 제 2 분주기(52)의 입력단에 인가되고 제 2 분주기의 출력 신호는 제 3 분주기(53)의 입력단에 인가된다.

<43> 제 1 분주기(51)는 클락버퍼(10)의 출력신호인 내부클락(CLK)을 수신하여 내부클락의 주파수를 1/2로 분주한 클락신호(Clk_1)를 출력한다. 제 2 분주기(52)는 제 1 분주기의 출력신호(Clk_1)의 주파수를 1/2로 분주한 클락신호(Clk_2)를 출력한다. 따라서, 제 2 분주기의 출력신호의 주파수는 내부클락의 주파수의 1/4이다. 제 3 분주기(53)는 제 2 분주기(52)의 출력신호(Clk_2)의 주파수를 1/2로 분주한 클락신호(Clk_3)를 출력한다. 따라서, 제 3 분주기의 출력신호(Clk_3)의 주파수는 내부클락 주파수의 1/8이다. 클락분주기(50)의 구성과 그 변형 및 동작은 당업자에게 공지된 기술이므로 더 이상의 설명은 생략한다.

<44> 도 6은 도 1의 위상비교기(70)의 일 예이다. 위상 비교기(70)는 클락 분주기(50)의 출력신호(Clk_3)와 레프리카 지연부(90)의 출력신호(Clk_delay)를 비교하여 2 출력신호 간의 시간차(time difference)를 감소시켜 나간다. 다시 말하면, 클락 분주기(50)의 출력신호(Clk_3)와 레프리카 지연부(90)의 출력신호(Clk_delay)의 지연 시간을 비교하여 지연 제어기내의 레지스터의 이동 방향을 제어한다. 위상 비교기(70)는 클락 분주기(50)의 출력신호의 라이징 에지(rising edge)와 레프리카 지연부(90)의 출력신호의 라이징 에지가 동기화되어 위상차가 0이 될 때까지 비교 작업을 계속 수행한다. 위상비교기(70)의 출력신호(left1, left2, right1, right2)는 레지스터로 구성된 지연 제어기(80)를 제어한다.

<45> 도 7은 도 6에 도시된 위상비교기의 동작을 설명하기 위한 타이밍도이다.

<46> 도 6 및 7에서, 클락신호 Clk_3 은 내부클락을 8분주한 클락분주기(도 5)의 출력신호를 나타내며, 클락신호 ref 는 도 6에 도시된 바와 같이 클락신호 Clk_3 의 반전신호를 나타낸다. 클락신호 Clk_delay는 레프리카 지연부(90)의 출력신호이다.

<47> 도 7의 좌측 도면은 클락신호 Clk_delay의 라이징 엣지가 클락신호 ref 의 라이징 엣지보다 더 빠른 경우를 도시한다. 이 경우, add delay는 하이 레벨로 되어 지연 시간을 증가시키는 방향으로 지연 제어기를 제어한다. 즉, 쉬프트 레프트 신호(left1)가 하이 레벨로 된다.

<48> 도 7의 우측 도면은 클락신호 Clk_delay의 라이징 엣지가 클락신호 ref 의 라이징 엣지보다 더 늦은 경우를 도시한다. 이 경우, Reduce delay가 하이 레벨로 되어 지연 시간을 감소시키는 방향으로 지연 제어기를 제어한다. 즉, 쉬프트 라이트 신호(right2)가 하이 레벨로 된다.

<49> 도 8는 종래기술에 따른 지연회로의 타이밍도이다.

<50> 도면에서, TCK 는 클락신호의 주기를 나타내고, T1 은 외부로부터 입력되는 클락이 클락 버퍼를 통과하면서 지연된 시간을 나타낸다.

<51> T2 는 외부로부터 클락이 입력된 후부터 데이터가 출력될 때까지의 시간으로 통상 레프리카 지연부(90)에서의 지연 시간과 동일하다.

<52> Td 는 지연 제어기(80)에 의하여 지연 회로(20)에서 조절되어야 하는 지연 시간을 나타낸다.

<53> CLK_DLL 은 데이터 출력버퍼(40)를 제어하는 클락신호라인(30)의 출력신호를 나타내며, dout 은 데이터 출력버퍼(40)로부터 출력되는 데이터를 나타낸다.

<54> CLK_3 과 CLK_3b 는 클락 분주기의 최종 출력신호를 나타내고, CLK_3 delay 는 레프리카 지연부의 출력신호를 나타낸다.

<55> 일반적으로, DLL 회로는 외부입력클락에 동기화시켜 데이터를 출력하기 위하여 클락 버퍼를 통과한 클락신호를 클락 분주기에 인가한 후, 클락 분주기의 출력신호의 위상과 및 클락 분주기로부터 출력되어 소정의 지연수단(더미 지연회로, 레프리카 지연부)을 거친 신호의 위상을 비교한다. 이를 기초로하여, 위상 비교기는 지연 제어기를 제어하여 더미 지연회로 및 지연회로에서의 지연시간(Td)을 조절하는 동작을 반복하게 된다.

<56> 그러나, 도 8에서 알수 있는 바와같이, 위의 경우는 레프리카 지연부에서의 지연시간(T2)이 외부입력클락의 주기(TCK)보다 작은 경우에는 문제가 없지만, 외부입력클락의 주기가 레프리카 지연부에서의 지연시간 보다 작은 경우에는 정상적인 동작을 수행할 수 없다.

<57> 다시 표현하면, 외부입력클락의 주기(TCK)(즉, 외부입력클락의 펄스폭)가 레프리카 지연부의 지연시간보다 큰 경우에는 더미 지연회로(60)에서의 지연시간을 조절하여 외부 신호와 동기화된 클락신호를 출력할 수 있지만, 외부입력클락의 주기(TCK)가 레프리카 지연부의 지연시간보다 작은 경우에는 더미 지연 회로에서의 지연시간이 제로인 경우에 도 레프리카 지연부에서의 지연시간만큼 지연된 클락신호가 위상 비교기에 인가될 것이며, 이 경우, 외부 신호와 동기화된 클락신호를 발생시킬 수 없다.

【발명이 이루고자 하는 기술적 과제】

<58> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 외부입력클락의 주기가 짧은 경우에도 정상적으로 동작할 수 있는 DLL 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<59> 전술한 기술적 과제를 해결하기 위한 본 발명의 일실시예는 분주 수단을 사용하여 시스템의 외부로부터 인가되는 외부입력클락과 시스템의 내부에서 사용되는 내부입력클락을 동기화시키는 DLL 회로로서, 외부입력클락의 펄스폭이 기준 설정치보다 좁은지 여부를 검출하는 검출수단을 구비하며, 분주 수단은 외부입력클락의 펄스폭이 기준 설정치보다 넓은 경우 제 1 분주 신호를 출력하고, 외부입력클락의 펄스폭이 기준 설정치보다 좁은 경우 제 2 분주 신호를 출력한다.

<60> 본 발명의 일실시예에 있어서, 제 1 분주 신호의 펄스폭은 제 2 분주 신호의 펄스폭보다 좁다.

<61> 본 발명의 다른 실시예는 시스템의 외부로부터 인가되는 외부입력클락과 시스템의 내부에서 사용되는 내부입력클락을 동기화시키는 DLL 회로로서, 외부입력클락을 수신하

여 베퍼링하는 베퍼 수단과, 베퍼 수단의 출력신호의 주기가 제 1 자연시간을 초과하는지 여부를 검출하는 검출 수단과, 상기 베퍼 수단의 출력신호와 상기 검출수단의 출력신호를 수신하여 상기 출력신호의 주파수를 분주하는 분주 수단을 구비한다.

<62> 본 발명의 다른 실시예에서, 베퍼 수단의 출력신호의 주기가 제 1 자연시간을 초과하는 경우 상기 검출수단은 제 1 논리 레벨을 출력하며, 분주 수단은 베퍼 수단의 출력신호의 주파수의 $1/2^M$ (M 은 정수)으로 분주된 주파수를 갖는 신호를 출력하고; 베퍼 수단의 출력신호의 주기가 제 1 자연시간을 초과하지 않는 경우 검출수단은 제 2 논리 레벨을 출력하며, 분주 수단은 베퍼 수단의 출력신호의 주파수의 $1/2^{M+1}$ 으로 분주된 주파수를 갖는 신호를 출력한다.

<63> 본 발명의 다른 실시예에서, 제 1 자연시간은 외부입력을 띠로부터 DLL 회로의 제어에 의하여 DLL 회로를 사용하는 시스템으로부터 데이터가 출력되기까지의 시간을 고려하여 결정된다

<64> 본 발명의 다른 실시예에서, 외부입력을 띠과 베퍼 수단의 출력신호의 주기 및 듀티비는 동일하며, 듀티비는 50% 이고, 검출수단은 베퍼 수단의 출력신호의 주기가 제 1 자연시간을 초과하는지 여부를 검출하기 위하여 베퍼 수단의 출력신호의 하이 레벨의 폴스 폭을 이용한다.

<65> (실시예)

<66> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 설명하기로 한다. 참고로, 본 명세서에서 사용된 표현증에서, 클락신호의 주기가 짧다 또는 클락신호의 주기가 작다는

표현은 클락신호의 펄스폭이 좁다는 의미이고, 클락신호의 주기가 크다는 표현은 클락신호의 펄스폭이 넓다는 의미이다.

<67> 도 9는 본 발명에 따른 DLL 회로의 블록도이다.

<68> 도시된 바와같이, DLL 회로는 외부클락신호를 수신하는 클락버퍼(10)와, 클락버퍼(10)의 출력신호를 수신하는 지연회로(20), 클락버퍼(10)의 출력신호를 분주하는 클락분주기(50-1)와, 클락 분주기(50-1)의 출력신호를 소정시간 지연시키는 더미지연회로(60), 더미지연회로(60)의 출력신호를 지연하는 레프리카 지연부(90), 레프리카 지연부(90)의 출력신호의 위상과 클락 분주기(50-1)의 출력신호의 위상을 비교하는 위상 비교기(70)와, 위상 비교기(70)의 출력신호를 수신하여 지연회로(20)와 더미 지연회로(60)의 지연을 제어하는 지연 제어기(80)와, 지연회로(20)의 출력신호를 수신하여 출력버퍼(40)의 데이터 출력을 제어하는 클락신호라인(30)과, 클락버퍼(10)의 출력신호를 수신하여 클락신호의 펄스폭을 검출하는 클락 펄스폭 검출기(100)을 포함한다.

<69> 본 발명에 따른 DLL 회로는 종래의 DLL 회로와 많은 부분이 동일하나, 클락 펄스폭 검출기(100)를 구비한다는 것이 기본적으로 다르다. 또한 본 발명의 클락 분주기(50-1)는 클락 펄스폭 검출기(100)의 출력신호를 수신하므로 회로의 구성에 있어서 종래의 클락 분주기와는 차이가 있다.

<70> 이하에서는 클락 펄스폭 검출기(100)와 클락 분주기(50-1)의 구성 및 기능에 대하여 설명한 후, 본 발명의 전체적인 동작을 설명하기로 한다.

<71> 도 11은 본 발명의 DLL 회로에 사용되는 클락펄스폭 검출기의 일예이고 도 12은 그 타이밍도이다.

<72> 도시된 바와같이, 클락펄스폭 검출기는 클락신호를 수신하고 이를 복수개의 독립된 지연기를 통하여 지연시킨 다음, 래치 회로를 통하여 로직 로우 또는 하이를 선택적으로 출력한다.

<73> 동작에 있어서, 클락신호가 입력되는 경우 소정 시간 지연후 로우 펄스 신호 a 가 발생된다. 클락신호의 하이 레벨 펄스 폭이 소정 지연시간이상인 경우(즉, 지연기 2 에서의 지연시간 이상인 경우) 노드 b 에는 로우 펄스 신호가 발생하고, 클락신호의 하이 레벨 펄스 폭이 소정 지연시간이하인 경우(즉, 지연기 2 에서의 지연시간 이하인 경우) 노드 b 는 로직 하이 레벨을 유지한다.

<74> 다시 표현하면, 입력되는 클락신호의 펄스 폭이 소정의 지연시간보다 큰 경우에는 노드 b 에는 로우 펄스 신호가 출력되고, 입력되는 클락신호의 펄스 폭이 소정의 지연시간보다 작은 경우에는 노드 b 는 하이 레벨을 유지한다.

<75> 도 11 과 도 12로부터 알수 있는 바와같이, 클락펄스폭 검출기는 입력되는 클락신호의 펄스폭이 소정지연시간보다 큰 경우에는 로직 로우를 출력하고, 입력되는 클락신호의 펄스폭이 소정지연시간보다 작은 경우는 로직 하이를 출력한다. 본 실시예에서, 외부입력클락과 클럭 버퍼의 출력신호의 주기 및 듀티비는 동일하며, 듀티비는 50% 이다. 또한, 클락펄스 폭 검출기는 클락 버퍼의 출력신호의 주기가 소정 지연시간을 초과하는 지 여부를 검출하기 위하여 클락 버퍼의 출력신호의 하이 레벨의 펄스 폭을 이용한다.

<76> 도 10은 본 발명의 DLL 회로에 사용되는 클락 분주기의 일예이다.

<77> 도시된 바와같이, 클락 분주기(50-1)는 복수개의 분주기(51, 52, 54, 55)를 포함한다. 멀티플렉서(53)는 스위칭 수단으로 2 개의 분주기(51, 52)의 출력신호중의 하나를 선택한다.

<78> 멀티플렉서(53)의 제어에 의하여 분주기는 51-52-54-55 순서로 연결되거나, 51-54-55 순서로 연결된다. 멀티플렉서(53)의 제어신호(Short_tck)는 펄스폭 검출기의 출력신호이다. 따라서, 클락 분주기에 인가되는 클락신호(CLK)의 펄스 폭(또는 주기)가 큰 경우 멀티플렉서(53)를 통하여 분주기(51)의 출력신호가 선택되고, 클락 분주기에 인가되는 클락신호(CLK)의 펄스 폭(또는 주기)가 작은 경우 멀티플렉서(53)를 통하여 분주기(52)의 출력신호가 선택된다.

<79> 도 10 에서, 분주기(51)는 클락신호(CLK)의 주파수를 1/2로 분주한 클락신호(CLK_1)를 출력한다. 분주기(52)는 분주기(51)의 출력신호(CLK_1)의 주파수를 1/2로 분주한 클락신호(aa)를 출력한다. 따라서, 분주기(52)의 출력신호(aa)의 주파수는 클락신호 (CLK)의 주파수의 1/4이다.

<80> 분주기(54)로 입력되는 신호는 분주기(51)의 출력신호 또는 분주기(52)의 출력신호이고, 분주기(55)로 입력되는 신호는 분주기(54)의 출력신호이다.

<81> 따라서, 클락 분주기를 통하여 출력되는 신호의 주파수는 클락 분주기로 입력되는 클락신호(CLK)의 주파수의 1/8 또는 1/16 이다.

<82> 상기의 분주기(51,52,54,55)의 출력신호의 듀티비(Duty rate)들은 동일하지 않지만, 필요한 경우 듀티비의 변형은 가능하다.

<83> 위에서 알 수 있는 바와같이, 외부입력클락의 주파수가 기준 설정치보다 낮은 경우 제 1 분주 신호(도 11 의 경우, 1/16 분주 신호)를 출력하고, 외부입력클락의 주파수가 기준 설정치보다 높은 경우 제 2 분주 신호(도 11 의 경우 1/8 분주 신호)를 출력한다.

<84> 도 13은 입력클락신호의 주기가 큰 경우 본 발명에 따른 DLL 회로의 타이밍도이다.

<85> 도면에서, TCK 는 클락신호의 주기를 나타내고, T1 은 외부로부터 입력되는클락이 클락 버퍼를 통과하면서 지연된 시간을 나타낸다.

<86> T2 는 외부로부터 클락이 입력된 후부터 데이터가 출력될때까지의 시간으로 통상 레프리카 지연부(90)에서의 지연 시간과 동일하다.

<87> Td 는 지연 제어기(80)에 의하여 지연 회로(20)에서 조절되어야하는 지연 시간을 나타낸다.

<88> CLK_DLL 은 데이터 출력버퍼(40)를 제어하는 클락신호라인(30)의 출력신호를 나타내며, dout 은 데이터 출력버퍼(40)로부터 출력되는 데이터를 나타낸다.

<89> CLK_3 과 CLK-3b 는 클락 분주기의 최종 출력신호를 나타내고, CLK_3 delay 는 레프리카 지연부의 출력신호를 나타낸다. "입력클락신호의 주기가 큰 경우" 클락 분주기는 분주기(51, 54, 55) 만을 이용하게 되며, 따라서, 최종 출력신호의 주파수는 클락 분주기에 입력되는 클락신호의 주파수의 1/8 이다. 참고로, 도 13 에있어서, "입력클락신호의 주기가 큰 경우"의 의미는 클락신호의 주기인 TCK 와 전술한 T2 와의 관계에서 TCK 가 T2 보다 큰 경우를 의미한다.

<90> 도 14는 입력클락신호의 주기가 작은 경우 본 발명에 따른 DLL 회로의 타이밍도이다.

<91> 도 13과 다른점은 외부로부터 입력되는 클락의 주기 TCK 가 외부로부터 클락이 입력된 후부터 데이터가 출력될때까지의 시간을 나타내는 T2_1 보다 작다는 것이다. 이 경우, 클락펄스폭 검출기(100)는 입력클락의 주기가 작다는 것을 검출하여 로직 하이를 출력한다.

<92> "입력클락신호의 주기가 작은 경우" 클락 분주기는 분주기(51, 52, 54, 55)를 이용하게 되며, 따라서, 최종 출력신호의 주파수는 클락 분주기에 입력되는 클락신호의 주파수의 1/16 이다. 따라서, 클락분주기의 최종 출력신호(CLK_3, CLK_3b)의 주파수는 외부입력클락 주파수의 1/16이다. 이 경우, 최종 출력신호 (CLK_3, CLK_3b)의 하이 펄스 폭은 도 14 에 도시된 바와같이 2TCK 이다. 따라서, 외부로부터 입력되는 클락의 주기가 작은 경우에도 정상적으로 DLL 회로를 동작시킬 수 있다.

【발명의 효과】

<93> 이상에서 알수 있는 바와같이, 외부입력클락의 주기가 너무 짧아서 DLL 회로의 정상적인 동작에 문제가 발생하는 종래의 경우와는 달리 본 발명의 실시예에 의할 경우 클락 분주기에 입력되는 클락의 주기를 4 배로 한다음 이 신호를 분주기(54, 55)를 통하여 출력시킴으로써, 위상 비교기(70)에서 위상 비교 및 지연 제어부(80)에 의한 더미지연 회로(60) 및 지연회로(20)의 제어가 충분히 가능하다는 장점이 있다.

【특허청구범위】**【청구항 1】**

분주 수단을 사용하여 시스템의 외부로부터 인가되는 외부입력클락과 시스템의 내부에서 사용되는 내부입력클락을 동기화시키는 DLL 회로로서,

상기 외부입력클락의 펄스폭이 기준 설정치보다 좁은지 여부를 검출하는 검출수단을 구비하며,

상기 분주 수단은 상기 외부입력클락의 펄스폭이 기준 설정치보다 넓은 경우 제 1 분주 신호를 출력하고, 상기 외부입력클락의 펄스폭이 기준 설정치보다 좁은 경우 제 2 분주 신호를 출력하는 DLL 회로.

【청구항 2】

제 2 항에 있어서, 상기 제 1 분주 신호의 펄스폭은 상기 제 2 분주 신호의 펄스폭보다 좁은 것을 특징으로하는 DLL 회로.

【청구항 3】

시스템의 외부로부터 인가되는 외부입력클락과 시스템의 내부에서 사용되는 내부입력클락을 동기화시키는 DLL 회로로서,

상기 외부입력클락을 수신하여 버퍼링하는 버퍼 수단과,

상기 버퍼 수단의 출력신호의 주기가 제 1 지연시간을 초과하는지 여부를 검출하는 검출 수단과,

상기 상기 버퍼 수단의 출력신호와 상기 검출수단의 출력신호를 수신하여 상기 출력신호의 주파수를 분주하는 분주 수단을 구비하며,

상기 버퍼 수단의 출력신호의 주기가 상기 제 1 지연시간을 초과하는 경우 상기 검출수단은 제 1 논리 레벨을 출력하며, 상기 분주 수단은 상기 버퍼 수단의 출력신호의 주파수의 $1/2^M$ (M 은 정수)으로 분주된 주파수를 갖는 신호를 출력하고,

상기 버퍼 수단의 출력신호의 주기가 상기 제 1 지연시간을 초과하지 않는 경우 상기 검출수단은 제 2 논리 레벨을 출력하며, 상기 분주 수단은 상기 버퍼 수단의 출력신호의 주파수의 $1/2^{M+1}$ 으로 분주된 주파수를 갖는 신호를 출력하는 DLL 회로.

【청구항 4】

제 3 항에 있어서, 상기 제 1 지연시간은 상기 외부입력을 띠로부터 상기 DLL 회로의 제어에 의하여 상기 DLL 회로를 사용하는 상기 시스템으로부터 데이터가 출력되기 까지의 시간을 고려하여 결정되는 것을 특징으로 하는 DLL 회로.

【청구항 5】

제 3 항에 있어서, 상기 외부입력을 띠과 상기 버퍼 수단의 출력신호의 주기 및 듀티비는 동일하며, 상기 듀티비는 50% 이고,

상기 검출수단은 상기 버퍼 수단의 출력신호의 주기가 제 1 지연시간을 초과하는지 여부를 검출하기 위하여, 상기 버퍼 수단의 출력신호의 하이 레벨의 펄스 폭을 이용하는 것을 특징으로 하는 DLL 회로.

【청구항 6】

외부클락신호를 수신하는 클락버퍼,

상기 클락버퍼의 출력신호를 수신하는 제 1 지연부,

상기 클락버퍼의 출력신호를 분주하는 클락 분주기,

상기 클락 분주기의 출력신호를 소정시간 지연시키는 제 2 지연부,

상기 제 2 지연회로의 출력신호를 지연하는 제 3 지연부,

상기 제 3 지연부의 출력신호의 위상과 상기 클락 분주기의 출력신호의 위상을 비교하는 위상 비교기,

상기 위상 비교기의 출력신호를 수신하여 상기 제 1 지연부와 제 2 지연부의 시간 지연을 제어하는 지연 제어기,

상기 제 1 지연회로의 출력신호를 수신하여 데이터 출력버퍼의 데이터 출력을 제어하는 클락신호라인, 및

상기 클락버퍼의 출력신호를 수신하여 상기 클락신호의 펄스폭을 검출하는 클락 펄스폭 검출기를 포함하며,

상기 클락 펄스폭 검출기의 출력신호의 제어에 의하여 상기 클락 분주기로부터 출력되는 신호의 분주 상태가 상이한 DLL 회로.

【청구항 7】

제 6 항에 있어서, 상기 클락 버퍼의 출력신호의 주기가 제 1 지연시간을 초과하는 경우 상기 클락 펄스폭 검출기는 제 1 논리 레벨을 출력하며, 상기 클락 분주기는 상기 클락 버퍼의 출력신호의 주파수의 $1/2^M$ (M 은 정수)으로 분주된 주파수를 갖는 신호를 출력하고,

상기 클락 버퍼의 출력신호의 주기가 상기 제 1 지연시간을 초과하지 않는 경우 상기 클락 펄스폭 검출기는 제 2 논리 레벨을 출력하며, 상기 클락 분주기는 상기 클락 버

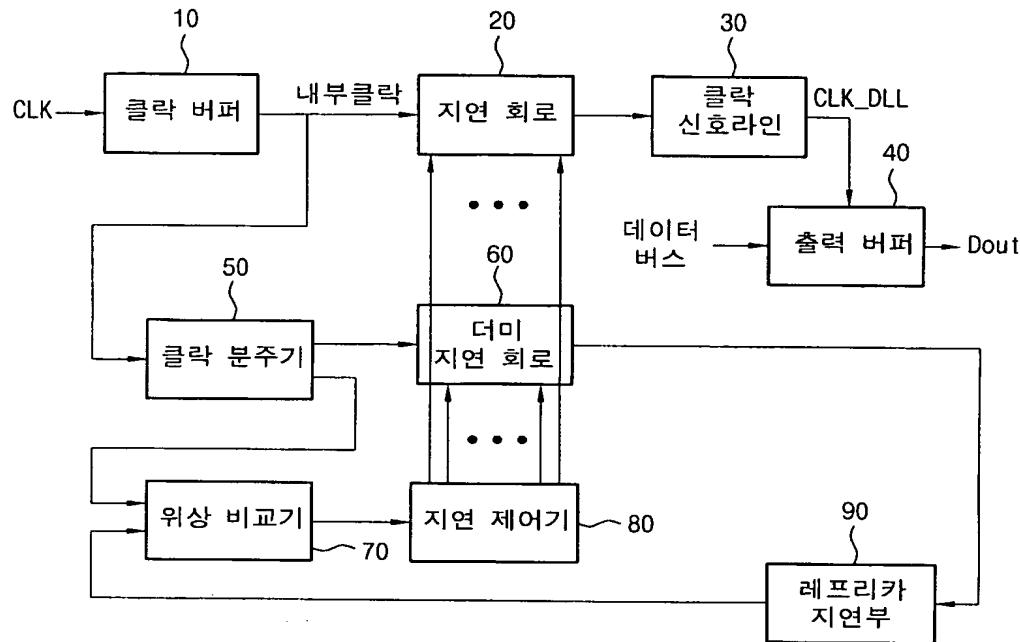
퍼의 출력신호의 주파수의 $1/2^{M+1}$ 으로 분주된 주파수를 갖는 신호를 출력하는 DLL 회로.

【청구항 8】

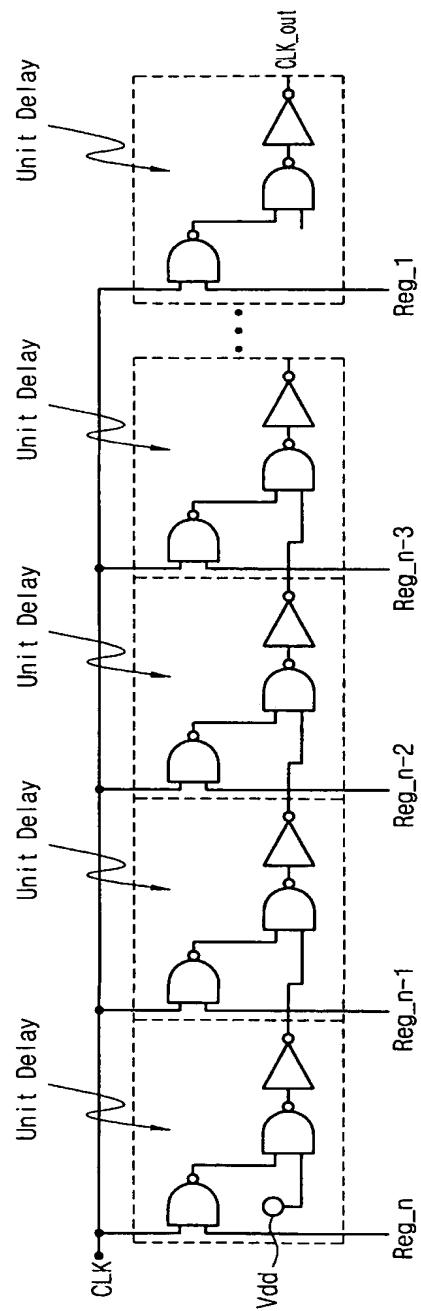
제 7 항에 있어서, 상기 제 1 지연시간은 상기 외부입력클락으로부터 상기 DLL 회로의 제어에 의하여 상기 DLL 회로를 사용하는 상기 시스템으로부터 데이터가 출력되기 까지의 시간을 고려하여 결정되는 것을 특징으로 하는 DLL 회로.

【도면】

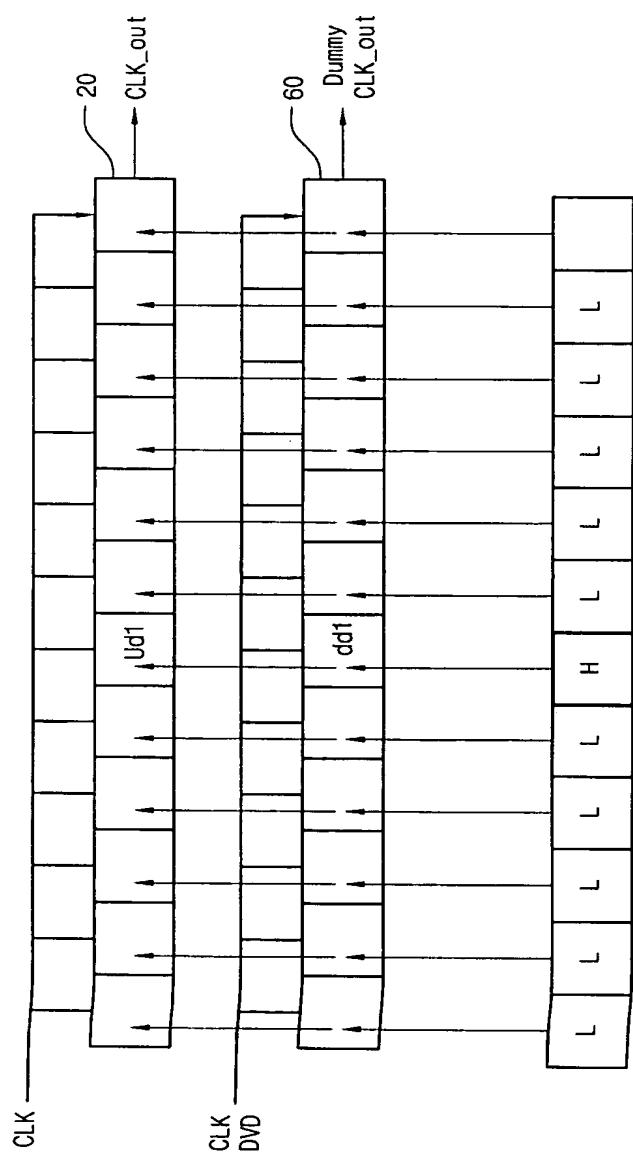
【도 1】



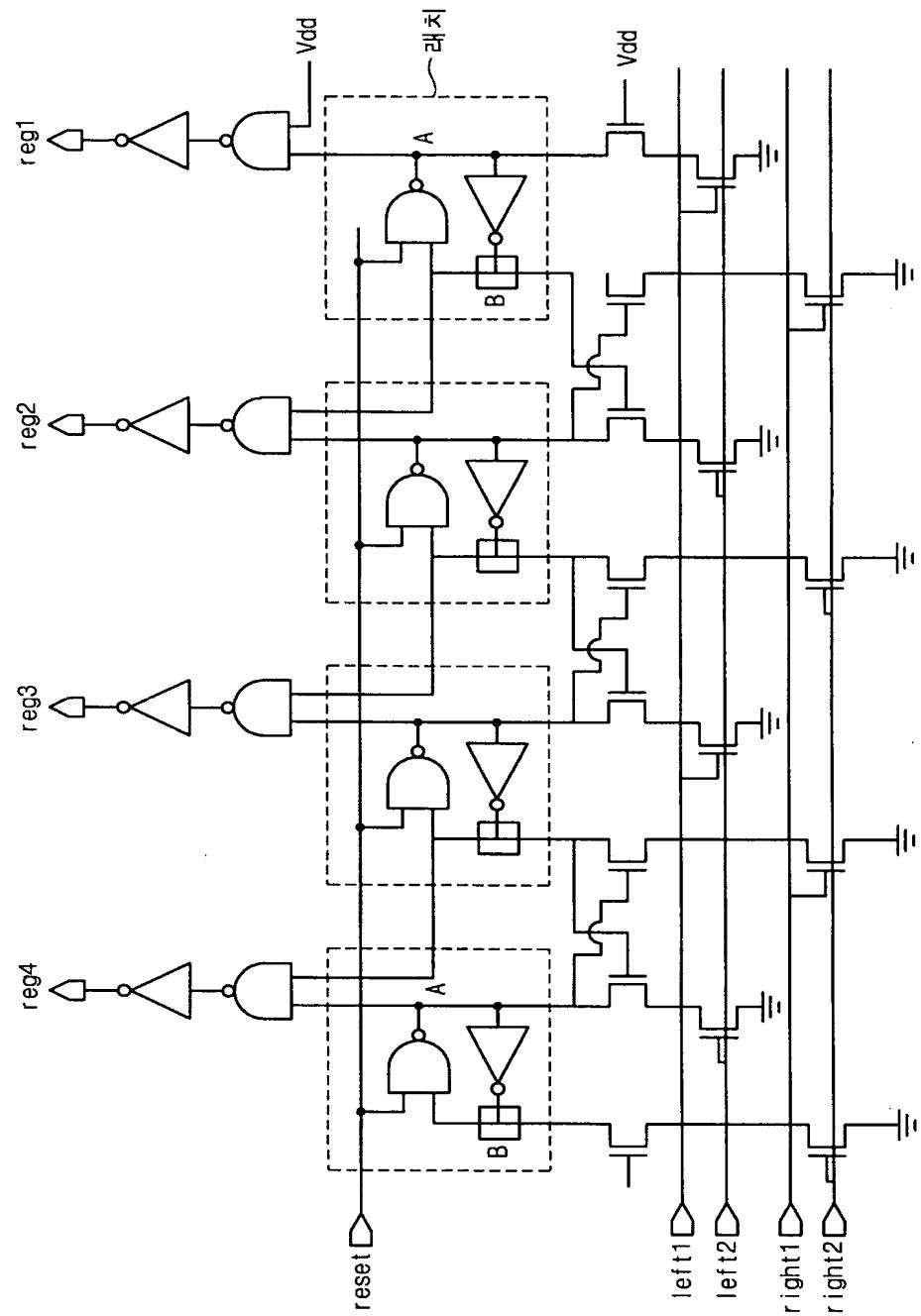
【도 2】



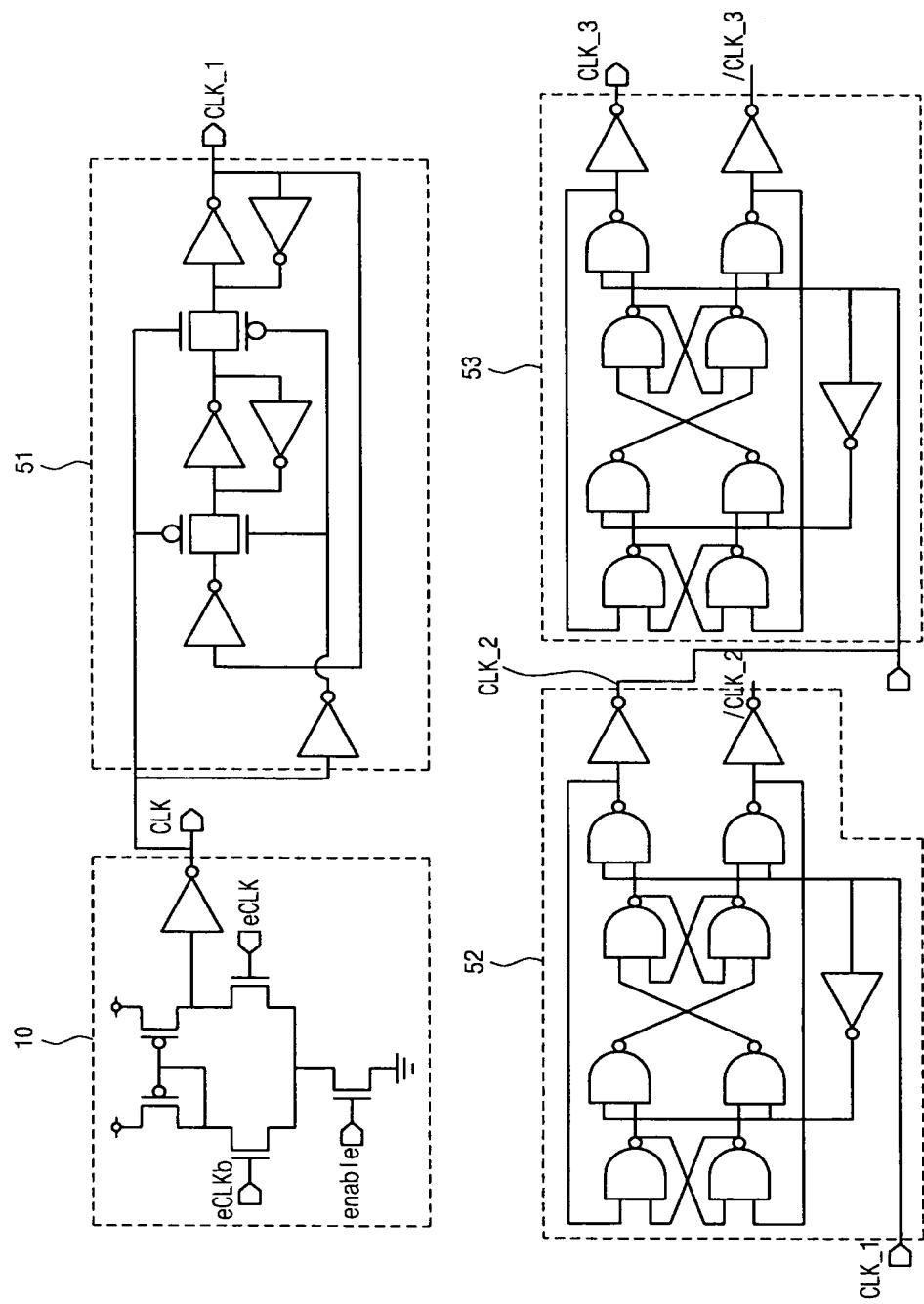
【도 3】



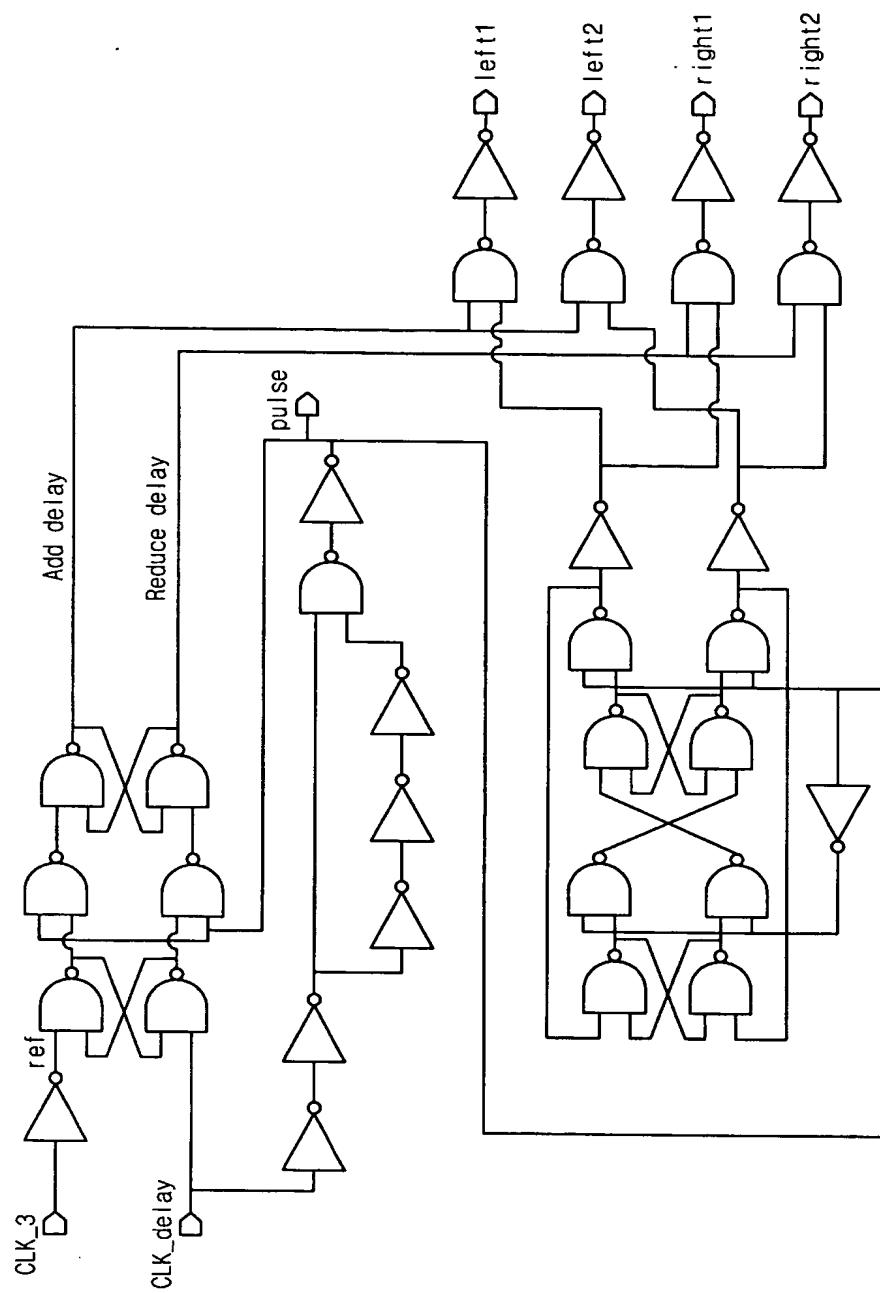
【도 4】



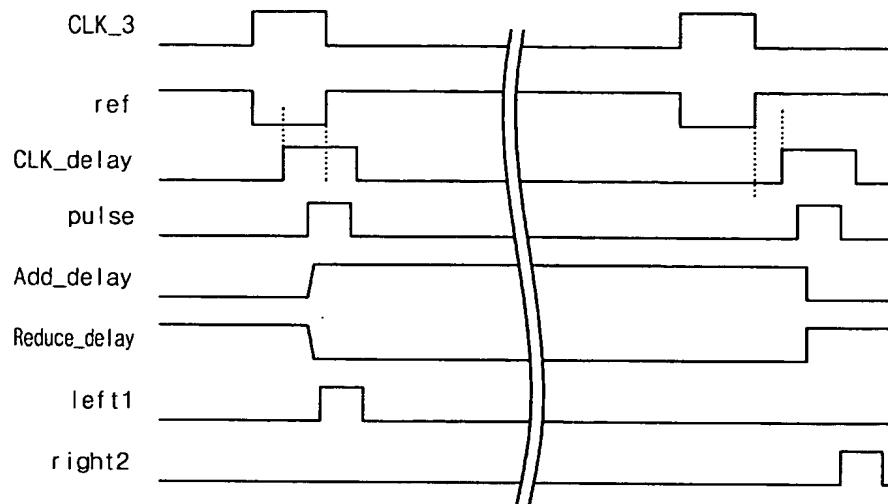
【도 5】



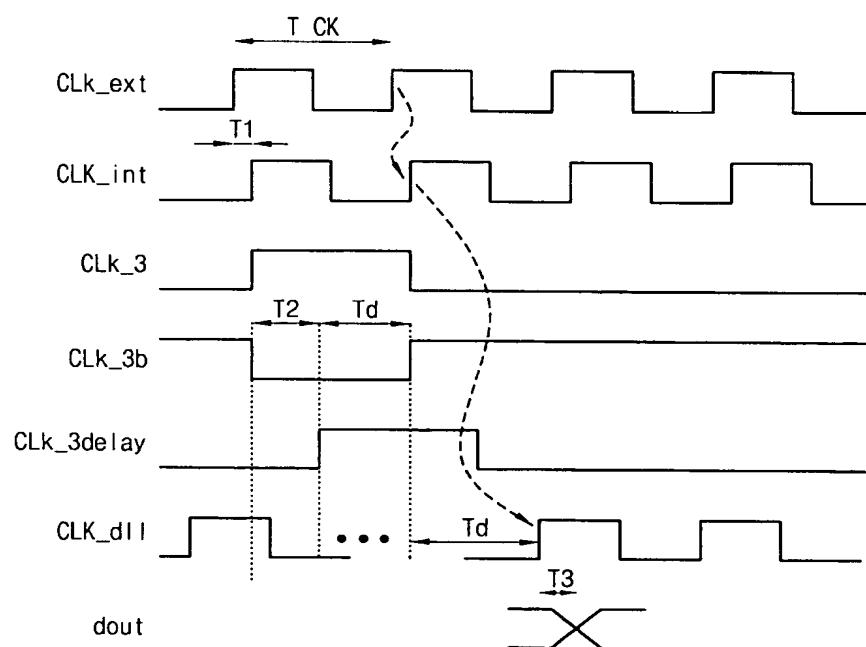
【도 6】



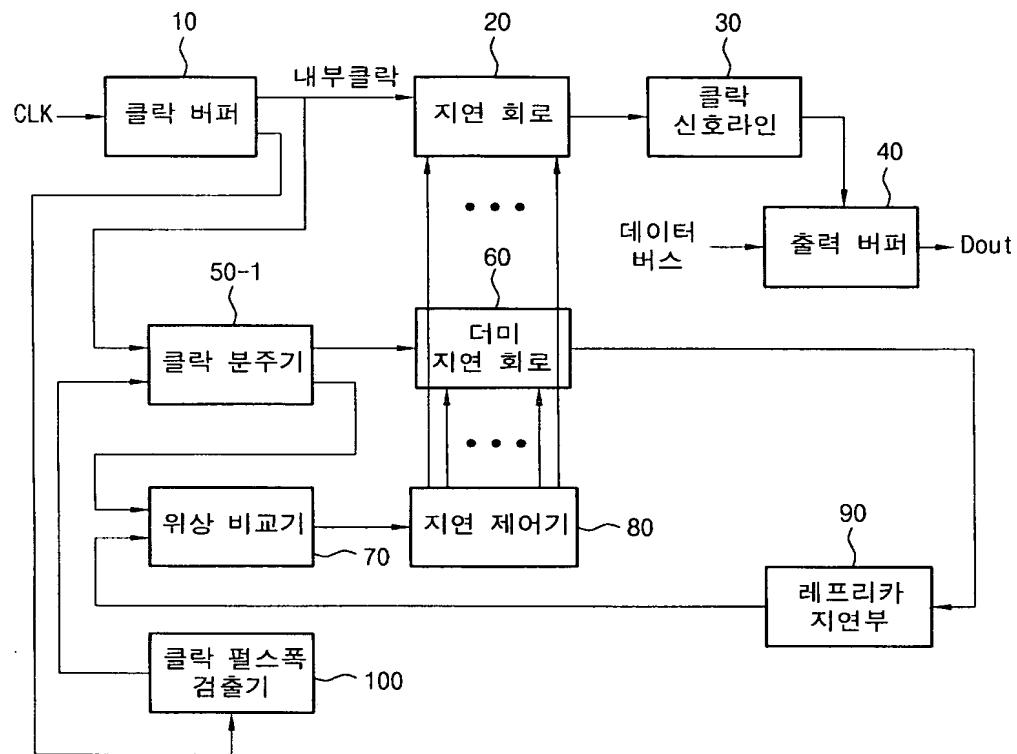
【도 7】



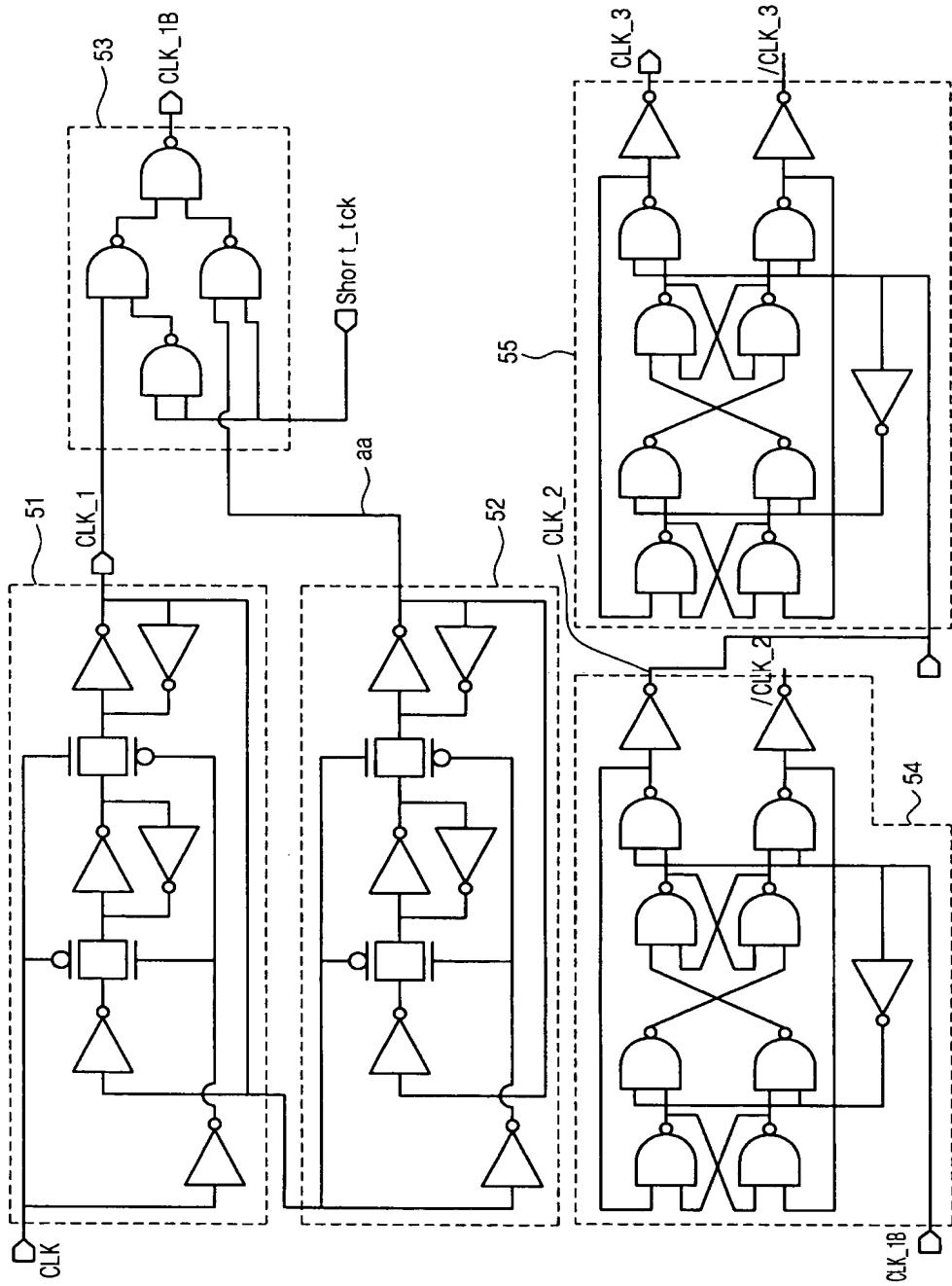
【도 8】



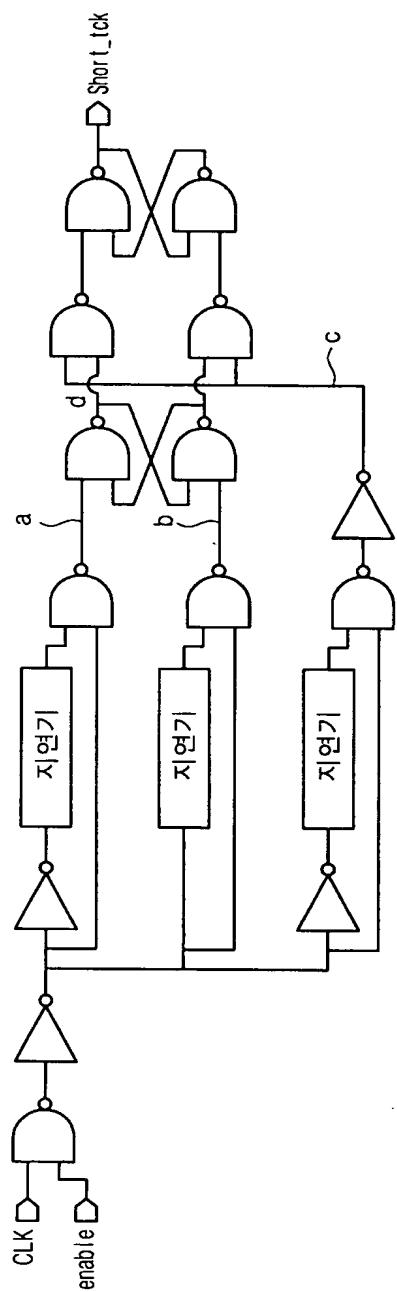
【도 9】



【도 10】



【도 11】

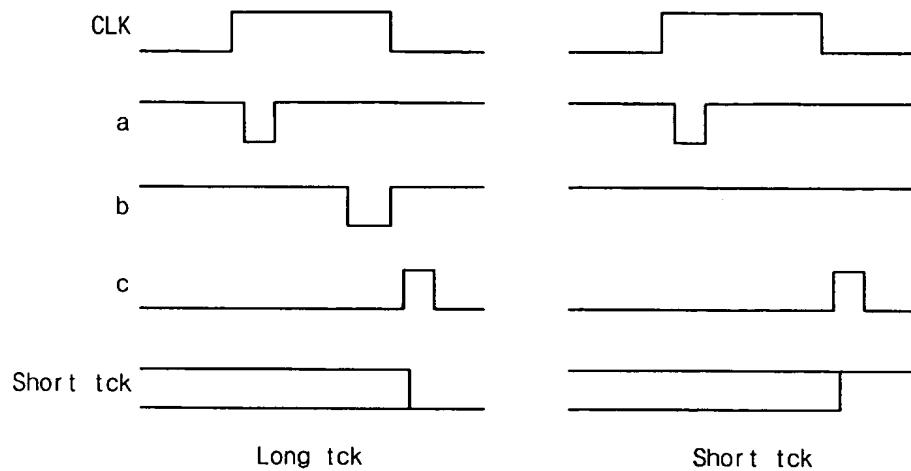




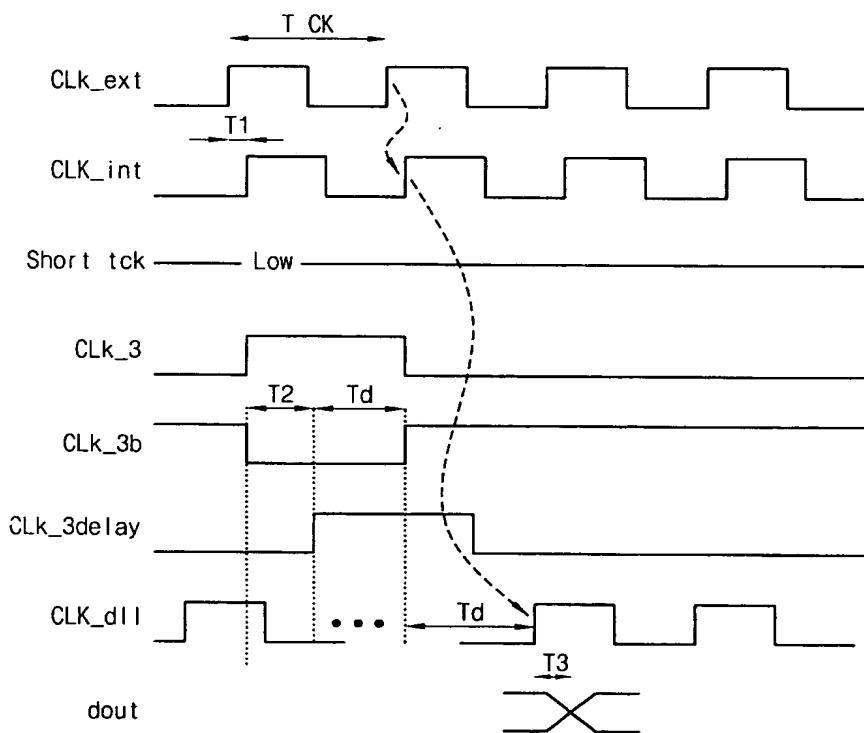
1020030025772

출력 일자: 2003/5/30

【도 12】



【도 13】



【도 14】

